



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	Tetsuro Takizawa	Examiner:	Unassigned
Serial No:	10/811,290	Art Unit:	Unassigned
Filed:	March 26, 2004	Docket:	17586
For:	MEMORY ACCESS CONTROL DEVICE	Dated:	April 30, 2004


Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof submits herewith a certified copy of Japanese Patent Application No. 2003-084790 filed March 26, 2003.

Respectfully submitted,

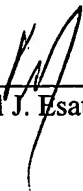

Paul J. Esatto, Jr.
Registration No. 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, Box 1450, Alexandria, VA 22313-1450 on April 30, 2004.

Dated: April 30, 2004


Paul J. Esatto, Jr.

428 US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 8 4 7 9 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 8 4 7 9 0]

出 願 人 日 本 電 気 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 1 2 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 6 2 5 3

【書類名】 特許願
【整理番号】 34403252
【あて先】 特許庁長官殿
【国際特許分類】 G06F 12/02 590
G06F 12/00 550

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日
本電気株式会社内

【氏名】 滝澤 哲郎

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213988

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリアクセス制御装置

【特許請求の範囲】

【請求項 1】 メモリへのアクセスを要求するメモリマスタと、メモリマスタから出力されるアクセス情報を元にメモリの制御信号を生成するメモリ制御部と、メモリの各バンクへの次のアクセスが同一ページへのアクセスとなるかどうかを予測するヒット予測部からなり、前記メモリ制御部は、現在アクセスしているバンクについて、ヒット予測部が前記バンクへの次のアクセスが同一ページへのアクセスである、即ちページヒットすると予測した場合は、現在のアクセス終了時にアクセスしたバンクをクローズせずに終了し、ヒット予測部が前記バンクへの次のアクセスが異なるページへのアクセスである、即ちミスヒットすると予測した場合は、現在のアクセス終了時にアクセスしたバンクをクローズして終了することを特徴とするメモリアクセス制御装置。

【請求項 2】 前記ヒット予測部が、メモリの各バンクについて最近 n 回分 (n : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 n 回のアクセスのうちページヒットしたアクセスの回数が m 回以上 ($m \leq n$: 自然数) であったら、当該バンクへの次のアクセスはページヒットすると予測し、そうでない場合は当該バンクへの次のアクセスはミスヒットすると予測することを特徴とする請求項 1 記載のメモリアクセス制御装置。

【請求項 3】 前記ヒット予測部が、メモリの各バンクについて最近 j 回分 (j : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 j 回のアクセスが全てページヒットであったら、当該バンクへの次のアクセスはページヒットすると予測し、そうでない場合は当該バンクへの次のアクセスはミスヒットすると予測することを特徴とする請求項 1 記載のメモリアクセス制御装置。

【請求項 4】 前記ヒット予測部が、メモリの各バンクについて最近 k 回分 (k : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 k 回のアクセスが全てミスヒットであったら、当該バンクへの次のアクセスはミスヒットすると予測し、そうでない場合は当該バンクへの次

のアクセスはページヒットすると予測することを特徴とする請求項1記載のメモリアクセス制御装置。

【請求項5】 前記ヒット予測部が、メモリの各バンクについて最近 n 回分 (n : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 n 回のアクセスのうち最近の k 回 ($k \leq n$: 自然数) のアクセスが全てミスヒットであったら、当該バンクへの次のアクセスはミスヒットすると予測し、そうではない場合で最近 n 回のアクセスのうち最近の j 回 ($j \leq n$: 自然数) のアクセスが全てページヒットであったら、当該バンクへの次のアクセスはページヒットすると予測し、そうではない場合で最近 n 回のアクセスのうちページヒットしたアクセスの回数が m 回以上 ($m \leq n$: 自然数) であったら、当該バンクへの次のアクセスはページヒットすると予測し、そうではない場合は当該バンクへの次のアクセスはミスヒットすると予測することを特徴とする請求項1記載のメモリアクセス制御装置。

【請求項6】 メモリマスタは次にアクセスするバンクおよびページが確定した段階でその情報をメモリ制御部に通知し、メモリ制御部は、メモリマスタが次にアクセスするバンクが現在アクセス中のバンクと同じで、次にアクセスするページが現在アクセス中のページと同じである場合は、ヒット予測部からの予測結果にかかわらず、現在のアクセス終了時にアクセスしたバンクをクローズせずに終了し、そうではない場合で、メモリマスタが次にアクセスするバンクが現在アクセス中のバンクと同じで、次にアクセスするページが現在アクセス中のページとは異なる場合は、ヒット予測部からの予測結果にかかわらず、現在のアクセス終了時にアクセスしたバンクをクローズして終了することを特徴とする請求項1乃至5の何れかに記載のメモリアクセス制御装置。

【請求項7】 メモリへのアクセスを要求する複数のメモリマスタと、メモリマスタからのメモリアクセス要求を調停し、何れかのメモリマスタからのアクセス情報を選択して出力するアービタ部と、アービタ部から出力されるアクセス情報を元にメモリの制御信号を生成するメモリ制御部と、メモリの各バンクへの次のアクセスが同一ページへのアクセスとなるかどうかを予測するヒット予測部からなり、前記メモリ制御部は、現在アクセスしているバンクについて、ヒット

予測部が前記バンクへの次のアクセスが同一ページへのアクセスである、即ちページヒットすると予測した場合は、現在のアクセス終了時にアクセスしたバンクをクローズせずに終了し、ヒット予測部が前記バンクへの次のアクセスが異なるページへのアクセスである、即ちミスヒットすると予測した場合は、現在のアクセス終了時にアクセスしたバンクをクローズして終了することを特徴とするメモリアクセス制御装置。

【請求項 8】 前記ヒット予測部が、メモリの各バンクについて最近 n 回分 (n : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 n 回のアクセスのうちページヒットしたアクセスの回数が m 回 ($m \leq n$: 自然数) 以上であつたら、当該バンクへの次のアクセスはページヒットすると予測し、そうでない場合は当該バンクへの次のアクセスはミスヒットすると予測することを特徴とする請求項 7 記載のメモリアクセス制御装置。

【請求項 9】 前記ヒット予測部が、メモリの各バンクについて最近 j 回分 (j : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 j 回のアクセスが全てページヒットであつたら、当該バンクへの次のアクセスはページヒットすると予測し、そうでない場合は当該バンクへの次のアクセスはミスヒットすると予測することを特徴とする請求項 7 記載のメモリアクセス制御装置。

【請求項 10】 前記ヒット予測部が、メモリの各バンクについて最近 k 回分 (k : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 k 回のアクセスが全てミスヒットであつたら、当該バンクへの次のアクセスはミスヒットすると予測し、そうでない場合は当該バンクへの次のアクセスはページヒットすると予測することを特徴とする請求項 7 記載のメモリアクセス制御装置。

【請求項 11】 前記ヒット予測部が、メモリの各バンクについて最近 n 回分 (n : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 n 回のアクセスのうち最近の k 回 ($k \leq n$: 自然数) のアクセスが全てミスヒットであつたら、当該バンクへの次のアクセスはミスヒットすると予測し、そうではない場合で最近 n 回のアクセスのうち最近の j 回 ($j \leq$

n：自然数)のアクセスが全てページヒットであったら、当該バンクへの次のアクセスはページヒットすると予測し、そうではない場合で最近n回のアクセスのうちページヒットしたアクセスの回数がm回以上($m \leq n$ ：自然数)であったら、当該バンクへの次のアクセスはページヒットすると予測し、そうではない場合は当該バンクへの次のアクセスはミスヒットすると予測することを特徴とする請求項7記載のメモリアクセス制御装置。

【請求項12】 各メモリマスタは次にアクセスするバンクおよびページが確定した段階でその情報をアービタ部およびメモリ制御部に通知し、メモリ制御部は、現在アクセス中のバンクと同じバンクを次にアクセスし、現在アクセス中のページと同じページを次にアクセスするメモリマスタが存在した場合は、ヒット予測部からの予測結果にかかわらず、現在のアクセス終了時にアクセスしたバンクをクローズせずに終了し、そうではない場合で、現在アクセス中のバンクと同じバンクを次にアクセスし、現在アクセス中のページとは異なるページを次にアクセスするメモリマスタが存在した場合は、ヒット予測部からの予測結果にかかわらず、現在のアクセス終了時にアクセスしたバンクをクローズして終了し、アービタ部は、現在アクセス中のバンクおよびページと同じバンクおよびページを次にアクセスするメモリマスタが存在した場合はそのメモリマスタを優先して選択することを特徴とする請求項7乃至11の何れかに記載のメモリアクセス制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SDRAM（シンクロナスDRAM）やDDR（ダブルデータレート）－SDRAM等のDRAMを対象としたメモリアクセス制御装置に関し、特にページヒットするかどうかを予測することによりアクセス性能を高めることができるメモリアクセス制御装置に関する。

【0002】

【従来の技術】

従来のメモリアクセス制御方式は、DRAMへのアクセスが完了した時にアク

セスしたバンクをプリチャージせずに終了するオープンページポリシーか、プリチャージしてから終了するクローズドページポリシーの何れかであった。

【0003】

バンクがプリチャージされていてクローズされた状態であれば、そのバンクへの次のアクセスはアドレスによらず常に一定の速度でアクセスできるが、プリチャージされておらずオープンされている状態の場合に、そのバンクがオープンしているページと同一のページにアクセスするならば、そのページをオープンする必要がないため、バンクがクローズされている場合よりも速いが、そのバンクがオープンしているページとは違うページにアクセスするならば、そのバンクをプリチャージしてからアクセスしようとするページをオープンしなければならないため、バンクがクローズされている場合よりも遅くなる。

【0004】

尚、同一のページにアクセスすることをページヒットと呼び、違うページにアクセスすることをミスヒットと呼ぶ。

【0005】

オープンページポリシーの従来技術には、バンクへのページヒットアクセスの回数により、バンクをクローズするタイミングを変更することによって、アクセス効率の向上を図っているメモリ制御装置がある（特許文献1参照。）。

【0006】

【特許文献1】

特開 2001-166985号公報（第1頁、図1）

【0007】

【発明が解決しようとする課題】

クローズドページポリシーはページヒットの確率が低いときには性能が高くなり、オープンページポリシーはページヒットの確率が高いときには性能が高くなるが、何れの方式でもアクセス性能が理論限界にまでは達することはできないという欠点がある。

【0008】

上記オープンページポリシーをベースとし、バンクへのページヒットアクセス

の回数により、バンククローズするタイミングを変更するメモリ制御装置では、アクセスを行った後はバンクをクローズする最短のタイミングまでは必ずバンクをオープンにしたままであるため、ミスヒットするアクセスが短い間隔で連続して行われた場合には、アクセス効率は向上しないという欠点を有している。

【0009】

また、バンクをクローズする最短のタイミングをアクセスの間隔よりも短く設定した場合には、クローズドページポリシーと同等になってしまうため、ページヒットが多い場合にはアクセス効率が向上しないという欠点を有している。

【0010】

本発明の目的は、次のアクセスがページヒットするかどうかを予測することにより、メモリアクセス効率を向上させるメモリアクセス制御装置を提供することにある。

【0011】

【課題を解決するための手段】

本発明の第1のメモリアクセス制御装置は、メモリへのアクセスを要求するメモリマスタと、メモリマスタから出力されるアクセス情報を元にメモリの制御信号を生成するメモリ制御部と、メモリの各バンクへの次のアクセスが同一ページへのアクセスとなるかどうかを予測するヒット予測部からなり、前記メモリ制御部は、現在アクセスしているバンクについて、ヒット予測部が前記バンクへの次のアクセスが同一ページへのアクセスである、即ちページヒットすると予測した場合は、現在のアクセス終了時にアクセスしたバンクをクローズせずに終了し、ヒット予測部が前記バンクへの次のアクセスが異なるページへのアクセスである、即ちミスヒットすると予測した場合は、現在のアクセス終了時にアクセスしたバンクをクローズして終了することを特徴とする。

【0012】

本発明の第2のメモリアクセス制御装置は、前記第1のメモリアクセス制御装置に於いて、前記ヒット予測部が、メモリの各バンクについて最近 n 回分（ n ：自然数）のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 n 回のアクセスのうちページヒットしたアクセスの回数が m 回以上

($m \leq n$: 自然数) であったら、当該バンクへの次のアクセスはページヒットすると予測し、そうでない場合は当該バンクへの次のアクセスはミスヒットすると予測することを特徴とする。

【0013】

本発明の第3のメモリアクセス制御装置は、前記第1のメモリアクセス制御装置に於いて、前記ヒット予測部が、メモリの各バンクについて最近 j 回分 (j : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 j 回のアクセスが全てページヒットであったら、当該バンクへの次のアクセスはページヒットすると予測し、そうでない場合は当該バンクへの次のアクセスはミスヒットすると予測することを特徴とする。

【0014】

本発明の第4のメモリアクセス制御装置は、前記第1のメモリアクセス制御装置に於いて、前記ヒット予測部が、メモリの各バンクについて最近 k 回分 (k : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 k 回のアクセスが全てミスヒットであったら、当該バンクへの次のアクセスはミスヒットすると予測し、そうでない場合は当該バンクへの次のアクセスはページヒットすると予測することを特徴とする。

【0015】

本発明の第5のメモリアクセス制御装置は、前記第1のメモリアクセス制御装置に於いて、前記ヒット予測部が、メモリの各バンクについて最近 n 回分 (n : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 n 回のアクセスのうち最近の k 回 ($k \leq n$: 自然数) のアクセスが全てミスヒットであったら、当該バンクへの次のアクセスはミスヒットすると予測し、そうではない場合で最近 n 回のアクセスのうち最近の j 回 ($j \leq n$: 自然数) のアクセスが全てページヒットであったら、当該バンクへの次のアクセスはページヒットすると予測し、そうではない場合で最近 n 回のアクセスのうちページヒットしたアクセスの回数が m 回以上 ($m \leq n$: 自然数) であったら、当該バンクへの次のアクセスはページヒットすると予測し、そうではない場合は当該バンクへの次のアクセスはミスヒットすると予測することを特徴とする。

【0016】

本発明の第6のメモリアクセス制御装置は、前記第1乃至第5の何れかのメモリアクセス制御装置に於いて、メモリマスタは次にアクセスするバンクおよびページが確定した段階でその情報をメモリ制御部に通知し、メモリ制御部は、メモリマスタが次にアクセスするバンクが現在アクセス中のバンクと同じで、次にアクセスするページが現在アクセス中のページと同じである場合は、ヒット予測部からの予測結果にかかわらず、現在のアクセス終了時にアクセスしたバンクをクローズせずに終了し、そうではない場合で、メモリマスタが次にアクセスするバンクが現在アクセス中のバンクと同じで、次にアクセスするページが現在アクセス中のページとは異なる場合は、ヒット予測部からの予測結果にかかわらず、現在のアクセス終了時にアクセスしたバンクをクローズして終了することを特徴とする。

【0017】

本発明の第7のメモリアクセス制御装置は、メモリへのアクセスを要求する複数のメモリマスタと、メモリマスタからのメモリアクセス要求を調停し、何れかのメモリマスタからのアクセス情報を選択して出力するアービタ部と、アービタ部から出力されるアクセス情報を元にメモリの制御信号を生成するメモリ制御部と、メモリの各バンクへの次のアクセスが同一ページへのアクセスとなるかどうかを予測するヒット予測部からなり、前記メモリ制御部は、現在アクセスしているバンクについて、ヒット予測部が前記バンクへの次のアクセスが同一ページへのアクセスである、即ちページヒットすると予測した場合は、現在のアクセス終了時にアクセスしたバンクをクローズせずに終了し、ヒット予測部が前記バンクへの次のアクセスが異なるページへのアクセスである、即ちミスヒットすると予測した場合は、現在のアクセス終了時にアクセスしたバンクをクローズして終了することを特徴とする。

【0018】

本発明の第8のメモリアクセス制御装置は、前記第7のメモリアクセス制御装置に於いて、前記ヒット予測部が、メモリの各バンクについて最近 n 回分（ n ：自然数）のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶し

ておき、最近 n 回のアクセスのうちページヒットしたアクセスの回数が m 回 ($m \leq n$: 自然数) 以上であったら、当該バンクへの次のアクセスはページヒットすると予測し、そうでない場合は当該バンクへの次のアクセスはミスヒットすると予測することを特徴とする。

【0019】

本発明の第9のメモリアクセス制御装置は、前記第7のメモリアクセス制御装置に於いて、前記ヒット予測部が、メモリの各バンクについて最近 j 回分 (j : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 j 回のアクセスが全てページヒットであったら、当該バンクへの次のアクセスはページヒットすると予測し、そうでない場合は当該バンクへの次のアクセスはミスヒットすると予測することを特徴とする。

【0020】

本発明の第10のメモリアクセス制御装置は、前記第7のメモリアクセス制御装置に於いて、前記ヒット予測部が、メモリの各バンクについて最近 k 回分 (k : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 k 回のアクセスが全てミスヒットであったら、当該バンクへの次のアクセスはミスヒットすると予測し、そうでない場合は当該バンクへの次のアクセスはページヒットすると予測することを特徴とする。

【0021】

本発明の第11のメモリアクセス制御装置は、前記第7のメモリアクセス制御装置に於いて、前記ヒット予測部が、メモリの各バンクについて最近 n 回分 (n : 自然数) のアクセスにおけるページヒット・ミスヒットの何れかの結果を記憶しておき、最近 n 回のアクセスのうち最近の k 回 ($k \leq n$: 自然数) のアクセスが全てミスヒットであったら、当該バンクへの次のアクセスはミスヒットすると予測し、そうではない場合で最近 n 回のアクセスのうち最近の j 回 ($j \leq n$: 自然数) のアクセスが全てページヒットであったら、当該バンクへの次のアクセスはページヒットすると予測し、そうではない場合で最近 n 回のアクセスのうちページヒットしたアクセスの回数が m 回以上 ($m \leq n$: 自然数) であったら、当該バンクへの次のアクセスはページヒットすると予測し、そうではない場合は当該

バンクへの次のアクセスはミスヒットすると予測することを特徴とする。

【0022】

本発明の第12のメモリアクセス制御装置は、前記第7乃至第11の何れかのメモリアクセス制御装置に於いて、各メモリマスタは次にアクセスするバンクおよびページが確定した段階でその情報をアービタ部およびメモリ制御部に通知し、メモリ制御部は、現在アクセス中のバンクと同じバンクを次にアクセスし、現在アクセス中のページと同じページを次にアクセスするメモリマスタが存在した場合は、ヒット予測部からの予測結果にかかわらず、現在のアクセス終了時にアクセスしたバンクをクローズせずに終了し、そうではない場合で、現在アクセス中のバンクと同じバンクを次にアクセスし、現在アクセス中のページとは異なるページを次にアクセスするメモリマスタが存在した場合は、ヒット予測部からの予測結果にかかわらず、現在のアクセス終了時にアクセスしたバンクをクローズして終了し、アービタ部は、現在アクセス中のバンクおよびページと同じバンクおよびページを次にアクセスするメモリマスタが存在した場合はそのメモリマスタを優先して選択することを特徴とする。

【0023】

【作用】

本発明では、次に同じバンクをアクセスする時にページヒットすると予測した場合はオープンページポリシーでアクセスし、ミスヒットすると予測した場合にはクローズドページポリシーでアクセスする。

【0024】

予測の的中率が50%より大きければ、ページヒットが減る回数よりも、ミスヒットが減る回数が増える。

【0025】

また、アクセスを行った時点で、次のアクセスがページヒットするかどうかを予測して、アクセスしたバンクをクローズするかオープンしたままにするかを決定している。ページミスが短い間隔で連続した場合にはミスしたことが速やかに予測に反映される。

【0026】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の請求項1に対応したメモリアクセス制御装置と、複数のメモリからなるシステムのブロック図である。

【0027】

メモリマスタ1は、メモリ制御部3に対し、メモリ使用权を要求するリクエスト信号、アドレス信号、アクセスの種類を示すリードライト信号、何ワードアクセスするかを示すワード長信号、ライトデータ信号、データマスク信号を出力し、メモリ制御部3からは、メモリ使用权を取得したことを示すアクノリッジ信号、リードデータ信号を受け取る。

【0028】

メモリ制御部3は、メモリの制御信号、SDRAMの場合には、クロック信号(CLK)、クロックイネーブル信号(CKE)、チップセレクト信号(CS)、ローアドレスストロープ信号(RAS)、カラムアドレスストロープ信号(CAS)、ライトイネーブル信号(WE)、アドレス信号(A)、バンクアドレス信号(BA)、データ入出力信号(DQ)、データマスク信号(DQM)を出力する。

【0029】

ヒット予測部4は、メモリ制御部3に対し、ヒット予測結果を出力する。ヒット予測結果は、接続されている全てのメモリの合計バンク数と同じ本数である。例えば、1個あたり4バンクからなるメモリ5と6が2つ接続されている場合には、システム全体では8個のバンクが存在するため、ヒット予測結果は8本となる。

【0030】

メモリマスタ1は、メモリにアクセスしたい場合には、リクエスト信号をアサートし、同時にアドレス信号、リードライト信号、ワード長信号、ライトデータ信号、データマスク信号を確定する。

【0031】

メモリ制御部3は、メモリマスタ1からのリクエスト信号がアサートされたら

、アドレス信号、リードライト信号、ワード長信号を受け取り、リードライト信号がライトアクセスを示していた場合には、ライトアクセスを、リードアクセスを示していた場合にはリードアクセスを行うべく、メモリの制御信号を生成する。

【0032】

ライトアクセスの場合は、ライトデータ信号、データマスク信号も受け取り、リードアクセスの場合は、メモリから返ってきたリードデータをリードデータ信号を介してメモリマスタ1に返す。

【0033】

メモリ制御部3は、最後のデータをアクセスする際に、現在アクセスしているバンクをクローズするかクローズしないかを、ヒット予測部4からのヒット予測結果を参照して決定する。

【0034】

最後のデータとは、例えば、ワード長信号が4ワードアクセスすることを示していた場合には、4ワード目のデータのことである。

【0035】

ヒット予測部4からのヒット予測結果はメモリ5、6の各バンク毎に個別の結果が出力されているが、メモリ制御部3は、最後のデータを格納するバンクに対応したヒット予測結果を参照する。

【0036】

また、メモリ制御部3は、最後のデータだけでなく、次のデータが現在アクセスしているデータとは異なるバンクに格納されている場合にも、ヒット予測部4からのヒット予測結果を参照して、現在アクセスしているバンクをクローズするかクローズしないかを決定する。

【0037】

図2は本発明の請求項2、3、4、5に対応したメモリアクセス制御部3と複数のメモリ5、6からなるシステムのブロック図である。

【0038】

ヒット予測部4は、メモリ制御部3から、ヒット信号、ミスヒット信号を受け

取る。ヒット結果とミスヒット結果はそれぞれメモリの総バンク数と同じ本数である。

【0039】

メモリ制御部3は、各バンクについて、最後にアクセスしたページアドレスを記憶しており、次ぎにアクセスを開始するときにそのアドレスが、前回アクセスしたページと同じページを示していた場合に、対応するバンクのヒット信号をアサートする。

【0040】

また、アクセスを開始するときにそのアドレスが、前回アクセスしたページとは異なるページを示していた場合に、対応するバンクのミスヒット信号をアサートする。

【0041】

アクセスを開始するときとは、メモリマスタからリクエストがアサートされてから最初のアクセスを開始する時だけでなく、ワード長信号が示すワード長分のアクセスを終了するまでに、現在アクセスしたデータと次にアクセスするデータとが異なるバンクに格納されていた場合に、次のアクセスを開始する時も含まれる。

【0042】

次に、本発明の請求項2に対応したヒット予測部4の動作について説明する。ヒット予測部4は、メモリ制御部3からのヒット信号またはミスヒット信号がアサートされる度に、その結果を各バンク毎に最近n回分（n：自然数）だけ記憶しておく。

【0043】

各バンク毎にヒット信号がアサートされた回数がm回以上（ $m \leq n$ ：自然数）かどうかを判定し、m回以上だったら対応するヒット予測結果にページヒットするという情報を出力し、m回未満であればミスヒットするという情報を出力する。

【0044】

例えば、nを8とした場合、あるバンクのヒット信号およびミスヒット信号が

、ヒット、ヒット、ミスヒット、ヒット、ヒット、ミスヒット、ヒット、ミスヒットの順番でアサートされたとしたら、最近8回でヒット信号がアサートされた回数は5回であるので、 m が5以下であれば、そのバンクのヒット予測結果はページヒットとなり、 m が6以上であれば、そのバンクのヒット予測結果はミスヒットとなる。

【0045】

また、この後、ミスヒット信号がアサートされると、最近8回でのヒット信号のアサート回数は4回となり、ミスヒット信号ではなく、ヒット信号がアサートされた場合は5回で変わらない。尚、 n はシステム設計時に決定されるが m は設定により可変である。

【0046】

次に、本発明の請求項3に対応したヒット予測部4の動作について説明する。ヒット予測部4は、メモリ制御部3からのヒット信号またはミスヒット信号がアサートされる度に、その結果を各バンク毎に最近 j 回分（ j ：自然数）だけ記憶しておく。

【0047】

各バンク毎に最近 j 回のヒット信号またはミスヒット信号のアサート結果が全てヒット信号であったかどうかを判定し、そうであれば対応するヒット予測結果にページヒットするという情報を出力し、そうでなければミスヒットするという情報を出力する。

【0048】

例えば、 j を4とした場合、あるバンクのヒット信号およびミスヒット信号が、ミスヒット、ヒット、ミスヒット、ミスヒット、ヒット、ヒット、ヒット、ヒットの順番でアサートされたとしたら、最近4回は全てヒット信号がアサートされているので、そのバンクのヒット予測結果はページヒットとなる。

【0049】

また、この後、ミスヒット信号がアサートされると、最近4回でのヒット信号のアサート回数は3回となり、ヒット予測結果はミスヒットとなる。ミスヒット信号ではなく、ヒット信号がアサートされた場合のヒット予測結果はページヒッ

トで変わらない。尚、 j は設定により可変である。

次に、本発明の請求項 4 に対応したヒット予測部 4 の動作について説明する。ヒット予測部 4 は、メモリ制御部からのヒット信号またはミスヒット信号がアサートされる度に、その結果を各バンク毎に最近 k 回分 (k : 自然数) だけ記憶しておく。

【0050】

各バンク毎に最近 k 回のヒット信号またはミスヒット信号のアサート結果が全てミスヒット信号であったかどうかを判定し、そうであれば対応するヒット予測結果にミスヒットするという情報を出力し、そうでなければページヒットするという情報を出力する。

【0051】

例えば、 k を 4 とした場合、あるバンクのヒット信号およびミスヒット信号が、ミスヒット、ヒット、ミスヒット、ヒット、ミスヒット、ミスヒット、ミスヒット、ミスヒットの順番でアサートされたとしたら、最近 4 回は全てミスヒット信号がアサートされているので、そのバンクのヒット予測結果はミスヒットとなる。

【0052】

また、この後、ヒット信号がアサートされると、最近 4 回でのミスヒット信号のアサート回数は 3 回となり、ヒット予測結果はページヒットとなる。ヒット信号ではなく、ミスヒット信号がアサートされた場合のヒット予測結果はミスヒットで変わらない。尚、 k は設定により可変である。

【0053】

次に、本発明の請求項 5 に対応したヒット予測部 4 の動作について説明する。ヒット予測部 4 は、メモリ制御部 3 からのヒット信号またはミスヒット信号がアサートされる度に、その結果を各バンク毎に最近 n 回分 (n : 自然数) だけ記憶しておく。

【0054】

各バンク毎に、まず最近の k 回の結果が全てミスヒットであったかどうかを判定し、そうであればヒット予測結果をミスヒットとする ($k \leq n$: 自然数)。

**【0055】**

そうでなければ、次に最近の j 回の結果が全てヒットであったかどうかを判定し、そうであればヒット予測結果をページヒットとする ($j \leq n$: 自然数)。

【0056】

そうでなければ、次に最近 n 回の結果について、ヒット信号がアサートされた回数が m 回以上 ($m \leq n$: 自然数) かどうかを判定し、 m 回以上だったら対応するヒット予測結果にページヒットするという情報を出力し、そうでなければミスヒットするという情報を出力する。

【0057】

例えば、 n を 8、 k を 4、 j を 4、 m を 5 とした場合、あるバンクのヒット信号およびミスヒット信号が、ヒット、ヒット、ミスヒット、ヒット、ミスヒット、ミスヒット、ミスヒット、ミスヒットの順番でアサートされたとしたら、最近 4 回の結果は全てミスヒットであるので、ヒット予測結果はミスヒットとなる。

【0058】

また、ヒット、ヒット、ミスヒット、ミスヒット、ヒット、ヒット、ヒット、ヒットの順番でアサートされたとしたら、最近 4 回の結果は全てミスヒットではなく、全てヒットであるので、ヒット予測結果はページヒットとなる。

【0059】

また、ヒット、ヒット、ミスヒット、ミスヒット、ヒット、ヒット、ヒット、ミスヒットの順番でアサートされたとしたら、最近 4 回の結果は全てミスヒットではなく、全てヒットでもないが、最近 8 回の結果中でヒットが 5 回あるので、ヒット予測結果はページヒットとなる。

【0060】

また、ミスヒット、ヒット、ミスヒット、ミスヒット、ヒット、ヒット、ヒット、ミスヒットの順番でアサートされたとしたら、最近 4 回の結果は全てミスヒットではなく、全てヒットでもなく、最近 8 回の結果中でヒットは 4 回しかないなので、ヒット予測結果はミスヒットとなる。

【0061】

尚、 n はシステム設計時に決定されるが、 m 、 j 、 k は設定により可変である

。

【0062】

図3は本発明の請求項6に対応したメモリアクセス制御装置3と、複数のメモリからなるシステムのブロック図である。請求項1対応の実施例に加えて、メモリマスタ1は、メモリ制御部3に対し、次にアクセス要求を行う際のアドレスを示す次アドレス信号とそのアドレス信号が確定したことを示す次アドレス確定信号を出力する。

【0063】

メモリ制御部3は、最後のデータをアクセスする際に、現在アクセスしているバンクをクローズするかクローズしないかを、ヒット予測部4からのヒット予測結果を参照して決定するが、このとき、メモリマスタ1が次アドレス確定信号を出力しており、かつその次アドレス信号が示すバンクとページが、現在アクセスしているバンクとページに両方一致した場合は、ヒット予測部4からのヒット予測結果にかかわらず、現在アクセスしているバンクをクローズせずに終了する。

【0064】

そうではない場合で、メモリマスタ1がアドレス確定信号を出力しており、かつそのアドレス信号が示すバンクとページが、現在アクセスしているバンクとページに、バンクのみ一致し、ページは不一致であった場合は、ヒット予測部4からのヒット予測結果にかかわらず、現在アクセスしているバンクをクローズして終了する。

【0065】

例えば、現在メモリマスタ1がアクセス中でその最後のアドレスがバンク0、ページ0であった場合に、メモリマスタ1が次アドレス確定信号をアサートしており、メモリマスタ1の次アドレス信号が示すバンクが0、ページが0であった場合、メモリ制御部3はヒット予測部4からのヒット予測結果にかかわらず、メモリマスタ1のアクセス終了時にバンク0をクローズせずに終了する。

【0066】

メモリマスタ1は次にバンク0、ページ0に対してアクセスするが、バンク0はページ0で既にオープンされているため、メモリマスタ1は前のアクセス終了

後直ぐに次のアクセスを開始することができる。

【0067】

メモリマスタ1のアクセス終了時にバンク0がクローズされていたとすると、バンク0をアクティブにしてからメモリアクセスを開始しなければならず、次のメモリアクセス開始までに時間がかかることになる。

【0068】

また、メモリマスタ1の次アドレス信号が示すバンクが0、ページが1であった場合、メモリ制御部3はヒット予測部4からのヒット予測結果にかかわらず、メモリマスタ1のアクセス終了時にバンク0をクローズして終了する。

【0069】

メモリマスタ1は次にメモリのバンク0に対してアクセスを行うが、バンク0はクローズされているため、メモリマスタの前のアクセス終了後、バンク0をすぐにアクティブにして、アクティブ終了後、メモリにアクセスことができる。

【0070】

メモリマスタ1の前のアクセス終了時にバンク0をクローズしていないとすると、メモリマスタ1の前のアクセス終了後、バンク0をプリチャージしてから、バンク0をアクティブにしなければならず、次のメモリアクセス開始までに時間がかかることになる。

【0071】

図4は本発明の請求項7に対応したメモリアクセス制御装置と、複数のメモリからなるシステムのブロック図である。

【0072】

メモリマスタ1-1～1-4の各々は、アービタ部2に対し、メモリ使用权を要求するリクエスト信号、アドレス信号、アクセスの種類を示すリードライト信号、何ワードアクセスするかを示すワード長信号、ライトデータ信号、データマスク信号を出力し、アービタ部2からは、メモリ使用权を取得したことを示すアクノリッジ信号、リードデータ信号を受け取る。

【0073】

アービタ部2はメモリ制御部3に対し、複数のメモリマスタ1-1～1-4か

ら選択したリクエスト信号、アドレス信号、リードライト信号、ワード長信号、ライトデータ信号、データマスク信号を出力し、メモリ制御部3からは、アクノリッジ信号、リードデータ信号を受け取る。

【0074】

メモリ制御部3は、メモリの制御信号、SDRAMの場合には、クロック信号(CLK)、クロックイネーブル信号(CKE)、チップセレクト信号(CS)、ローアドレスストロープ信号(RAS)、カラムアドレスストロープ信号(CAS)、ライトイネーブル信号(WE)、アドレス信号(A)、バンクアドレス信号(BA)、データ入出力信号(DQ)、データマスク信号(DQM)を出力する。

【0075】

ヒット予測部4は、メモリ制御部3に対し、ヒット予測結果を出力する。ヒット予測結果は、接続されている全てのメモリの合計バンク数と同じ本数である。

【0076】

例えば、1個あたり4バンクからなるメモリ5、6が接続されている場合には、システム全体では8個のバンクが存在するため、ヒット予測結果は8本となる。

【0077】

メモリマスタ1-1～1-4の各々は、メモリにアクセスしたい場合には、リクエスト信号をアサートし、同時にアドレス信号、リードライト信号、ワード長信号、ライトデータ信号、データマスク信号を確定する。

【0078】

アービタ部2は、一つのメモリマスタしかリクエスト信号をアサートしていなければ、そのメモリマスタからのアドレス信号、リードライト信号、ワード長信号、ライトデータ信号、データマスク信号をメモリ制御部に出力し、メモリ制御部からのアクノリッジ信号、リードデータ信号を、そのメモリマスタに返す。

【0079】

複数のメモリマスタがリクエスト信号をアサートしていた場合には、そのうち一つのメモリマスタを選択し、そのメモリマスタからのアドレス信号、リードラ

イト信号、ワード長信号、ライトデータ信号、データマスク信号をメモリ制御部 3 に出力し、メモリ制御部 3 からのアクノリッジ信号、リードデータ信号を、そのメモリマスタに返す。

【0080】

複数のメモリマスタから一つのメモリマスタを選択する方法としては、予め決められた優先順位に従って選択する方法や、ラウンドロビンにより最後のアクセスから最も遠ざかっているものを選択する方法などがある。

【0081】

メモリ制御部 3 は、アービタ部 2 からのリクエスト信号がアサートされたら、アドレス信号、リードライト信号、ワード長信号を受け取り、リードライト信号がライトアクセスを示していた場合には、ライトアクセスを、リードアクセスを示していた場合にはリードアクセスを行うべく、メモリの制御信号を生成する。

【0082】

ライトアクセスの場合は、ライトデータ信号、データマスク信号も受け取り、リードアクセスの場合は、メモリから返ってきたリードデータをリードデータ信号を介してアービタ部 2 に返す。

【0083】

メモリ制御部 3 は、最後のデータをアクセスする際に、現在アクセスしているバンクをクローズするかクローズしないかを、ヒット予測部からのヒット予測結果を参照して決定する。

【0084】

最後のデータとは、例えば、ワード長信号が 4 ワードアクセスすることを示していた場合には、4 ワード目のデータのことである。

【0085】

ヒット予測部 4 からのヒット予測結果はメモリの各バンク毎に個別の結果が出力されているが、メモリ制御部 3 は、最後のデータを格納するバンクに対応したヒット予測結果を参照する。

【0086】

また、メモリ制御部 3 は、最後のデータだけでなく、次のデータが現在アクセ

スしているデータとは異なるバンクに格納されている場合にも、ヒット予測部 4 からのヒット予測結果を参照して、現在アクセスしているバンクをクローズするかクローズしないかを決定する。

【0087】

図 5 は本発明の請求項 8、9、10、11 に対応したメモリアクセス制御装置と複数のメモリからなるシステムのブロック図である。

【0088】

ヒット予測部 4 は、メモリ制御部 3 から、ヒット信号、ミスヒット信号を受け取る。ヒット結果とミスヒット結果はそれぞれメモリの総バンク数と同じ本数である。

【0089】

メモリ制御部 3 は、各バンクについて、アクセスを開始するときにそのアドレスが、前回アクセスしたページと同じページを示していた場合に、対応するバンクのヒット信号をアサートする。

【0090】

また、アクセスを開始するときにそのアドレスが、前回アクセスしたページとは異なるページを示していた場合に、対応するバンクのミスヒット信号をアサートする。

【0091】

アクセスを開始するときとは、アービタ部 2 からリクエストがアサートされてから最初のアクセスを開始する時だけでなく、ワード長信号が示すワード長分のアクセスを終了するまでに、現在アクセスしたデータと次にアクセスするデータとが異なるバンクに格納されていた場合に、次のアクセスを開始する時も含まれる。

【0092】

メモリ制御部 3 は、ヒット信号、ミスヒット信号を生成するために、各バンクについて、最後にアクセスしたページを記憶しておく必要がある。

【0093】

本発明の請求項 8 に対応したヒット予測部 4 の動作は、本発明の請求項 2 に対

応したヒット予測部 4 の動作に準ずる。同様に、本発明の請求項 9、10、11 に対応したヒット予測部 4 の動作は、それぞれ本発明の請求項 3、4、5 に対応したヒット予測部 4 の動作に準ずる。

【0094】

図 6 は本発明の請求項 12 に対応したメモリアクセス制御装置と、複数のメモリからなるシステムのブロック図である。

【0095】

請求項 7 対応の実施例に加えて、各メモリマスタは、アービタ部 2 とメモリ制御部 3 に対し、次にアクセス要求を行う際のアドレスを示す次アドレス信号とそのアドレス信号が確定したことを示す次アドレス確定信号を出力する。

【0096】

メモリ制御部 3 は、最後のデータをアクセスする際に、現在アクセスしているバンクをクローズするかクローズしないかを、ヒット予測部 4 からのヒット予測結果を参照して決定するが、このとき、次アドレス確定信号を出力しているメモリマスタが一つ以上あり、かつその次アドレス信号が示すバンクとページが、現在アクセスしているバンクとページに両方一致するメモリマスタが存在した場合は、ヒット予測部 4 からのヒット予測結果にかかわらず、現在アクセスしているバンクをクローズせずに終了するとともに、アービタ部 2 は次にメモリにアクセスするメモリマスタを選択する際に、その次アドレス信号が示すバンクとページが、現在アクセスしているバンクとページに両方一致するメモリマスタを選択する。

【0097】

そうではない場合で、アドレス確定信号を出力しているメモリマスタが一つ以上あり、かつそのアドレス信号が示すバンクとページが、現在アクセスしているバンクとページに、バンクのみ一致し、ページは不一致であるメモリマスタが存在した場合は、ヒット予測部 4 からのヒット予測結果にかかわらず、現在アクセスしているバンクをクローズして終了する。

【0098】

例えば、メモリマスタをメモリマスタ 1-1、1-2、1-3 の三つとし、現

在メモリマスタ1-1がアクセス中でその最後のアドレスがバンク0、ページ0であった場合に、メモリマスタ1-2および1-3が次アドレス確定信号をアサートしており、メモリマスタ1-2の次アドレス信号が示すバンクが0、ページが0、メモリマスタ1-3の次アドレス信号が示すバンクが0、ページが1であった場合、メモリ制御部3はヒット予測部4からのヒット予測結果にかかわらず、メモリマスタ1-1のアクセス終了時にバンク0をクローズせずに終了し、アービタ部はメモリマスタ1-1の次にメモリマスタ1-2を選択する。

【0099】

メモリマスタ1-2はバンク0、ページ0に対してアクセスするが、バンク0はページ0で既にオープンされているため、メモリマスタ1-1のアクセス終了後すぐにメモリマスタ1-2はアクセスを開始することができる。

【0100】

メモリマスタ1-1のアクセス終了時にバンク0がクローズされていたとすると、バンク0をアクティブにしてからメモリアクセスを開始しなければならず、次のメモリアクセス開始までに時間がかかることになる。

【0101】

また、メモリマスタ1-1の次にメモリマスタ1-3を選択したとすると、バンク0をプリチャージしてから、バンク0をアクティブにしなければならず、次のメモリアクセス開始までに時間がかかることになる。

【0102】

また、メモリマスタ1-2の次アドレス信号が示すバンクが0、ページが1、メモリマスタ1-3の次アドレス信号が示すバンクが0、ページが2であった場合、メモリ制御部3はヒット予測部4からのヒット予測結果にかかわらず、メモリマスタ1-1のアクセス終了時にバンク0をクローズして終了する。

【0103】

メモリマスタ1-1の次にメモリマスタ1-2が選択されてもメモリマスタ1-3が選択されてもメモリのバンク0に対してアクセスを行うが、バンク0はクローズされているため、メモリマスタ1-1のアクセス終了後、バンク0をすぐにアクティブにして、アクティブ終了後、メモリにアクセスことができる。

【0104】

メモリマスタ1-1のアクセス終了時にバンク0をクローズしていないとすると、メモリマスタ1-1のアクセス終了後、バンク0をプリチャージしてから、バンク0をアクティブにしなければならず、次のメモリアクセス開始までに時間がかかることになる。

【0105】

次にヒット予測部4の具体的な構成例とその動作を説明する。図7は、前記請求項5、11に対応したヒット予測部4の1バンク分の構成を示したブロック図である。

【0106】

尚、ヒット予測部4は図7のブロックをバンク数分備えているが図示していないがこの他に、 $j-1$ 、 $k-1$ 、 m の設定指示（或いは j 、 k 、 m の設定指示）を受け、これらの設定値を保持する手段も備えている。

【0107】

図7を参照し、ヒット信号・ミスヒット信号入力部41は、ヒット信号かミスヒット信号が入力されると、結果保持用シフトレジスタ42を1ビットシフトするとともに、このシフトレジスタのビット0には、ヒット信号が入力された場合はヒットを表す符号1を、ミスヒット信号が入力された場合はミスヒットを表す符号0を入力する。

【0108】

判定部43は、前記保持手段の $k-1$ の値を受け、結果保持用シフトレジスタ42のビット0から $k-1$ までの全ビットが0であれば、1をそうでなければ0を出力する。

【0109】

判定部44は、前記保持手段の $j-1$ の値を受け、結果保持用シフトレジスタ42のビット0から $j-1$ までの全ビットが1であれば、1をそうでなければ0を出力する。

【0110】

判定部45は、前記保持手段の m の値を受けており、結果保持用シフトレジス

タ 4 2 のビット 0 からビット $n-1$ をすべて加算し、結果が m 以上であれば 1 をそうでなければ 0 を出力する。

【0111】

判定結果出力部 4 6 は、判定部 4 3 の結果が 1 であればミスヒット信号を示す符号 0 を、判定部 4 3 の結果が 0 で、判定部 4 4 の結果が 1 であればヒット信号を示す符号 1 を、判定部 4 3 および 4 4 の結果が共に 0 で、判定部 4 5 の結果が 1 であればヒット信号を示す符号 1 を、判定部 4 3、4 4、及び 4 5 の結果が全て 0 であればミスヒット信号を示す符号 0 を出力する。

【0112】

前記した様にシステム全体で 8 個のバンクが存在するのであれば、ヒット予測部 4 はこの様な回路を 8 組有している。

【0113】

前記請求項 2、8 に対応したヒット予測部 4 のバンク当たりの回路は、ヒット信号・ミスヒット信号入力部 4 1、 n ビットの結果保持用シフトレジスタ 4 2、判定部 4 5 の構成であり、判定部 4 5 の出力をヒット予測結果とする。

【0114】

前記請求項 3、9 に対応したヒット予測部 4 のバンク当たりの回路は、ヒット信号・ミスヒット信号入力部 4 1、最大 n ビットの結果保持用シフトレジスタ 4 2、判定部 4 4 の構成であり、判定部 4 4 の出力をヒット予測結果とする。

【0115】

前記請求項 4、10 に対応したヒット予測部 4 のバンク当たりの回路は、ヒット信号・ミスヒット信号入力部 4 1、最大 n ビットの結果保持用シフトレジスタ 4 2、判定部 4 3 の構成であり、判定部 4 3 の出力をミスヒット予測結果とする。

【0116】

次ぎにメモリ制御部 3 がヒット予測部 4 の予測に基づいてメモリへの信号を制御するタイミング例を図 8～図 10 のタイムチャートを用い説明する。

【0117】

メモリに SDRAM を使用した場合で、リードアクセスを行った場合の例であ

る。

【0118】

図8はリードアクセス中に次ぎのアクセスのヒット予測をし、そのアクセスがヒットした場合のタイムチャートである。信号名の先頭の#はアクティブLOWの信号を表す。

【0119】

①のアクセス中に次ぎ(②)のアクセスのヒットを予測した場合、アクセス終了時にプリチャージを行わない。次のアクセスがページヒットし、A0～A9の切り換えやROWアクティブコマンド(#RASをLOW)発行が不要の為、次のアクセスが早く行われる。

【0120】

図9はリードアクセス中に次アクセスのヒットを予測し、そのアクセスがミスヒットした場合のタイムチャートである。

【0121】

ヒットを予測した場合、アクセス終了時にプリチャージを行わない。次のアクセスがミスヒットした場合は、プリチャージコマンド(#RASと#WEを同時にLOW)を発行してから、A0～A9を次ぎのROWアドレスに切り換えてROWアクティブコマンド(#RASをLOW)を発行する必要があるため次のアクセスが遅く行われる。

【0122】

図10はリードアクセス中にミスヒットを予測した場合のタイムチャートである。ミスヒット予測であるのでアクセス終了時にA10をイネーブルにしてオートプリチャージを行う。

【0123】

又は、アクセス終了後にプリチャージコマンド(#RASと#WEを同時にLOW。図中の点線部)を発行してもよい。

【0124】

この場合は、続くアクセス②がページヒットであってもミスヒットであっても②の結果データ確定タイミングは変わらない。

【0125】

ヒット予測してミスヒットした場合に比べ、アクセス時間が $2/3$ 以下に短縮される。

【0126】**【発明の効果】**

以上説明した様に本発明によれば、次に同じバンクをアクセスする時にページヒットすると予測した場合はオープンページポリシーでアクセスし、ミスヒットすると予測した場合にはクローズドページポリシーでアクセスしているので、予測が完全に的中すれば、理論限界の性能が達成できる。

【0127】

又、完全には的中しなくても、的中率が50%より大きければ、ページヒットが減る回数よりも、ミスヒットが減る回数が多くなるため、メモリアクセス効率が向上する。

【0128】

又、アクセスを行った時点で、次のアクセスがページヒットするかどうかを予測して、アクセスしたバンクをクローズするかオープンしたままにするかを決めているため、ミスヒットするアクセスが短い間隔で連続した場合でもアクセス効率を向上できる。

【図面の簡単な説明】**【図1】**

本発明の請求項1に対応したシステムのブロック図

【図2】

本発明の請求項2、3、4、5に対応したシステムのブロック図

【図3】

本発明の請求項6に対応したシステムのブロック図

【図4】

本発明の請求項7に対応したシステムのブロック図

【図5】

本発明の請求項8、9、10、11に対応したシステムのブロック図

【図 6】

本発明の請求項 12 に対応したシステムのブロック図

【図 7】

本発明の請求項 5、11 に対応したヒット予測部 4 の 1 バンク分の構成を示したブロック図。

【図 8】

本発明のメモリアクセス制御装置がリードアクセス中に次ぎのアクセスのヒット予測をし、そのアクセスがヒットした場合のタイムチャート。

【図 9】

本発明のメモリアクセス制御装置がリードアクセス中に次ぎのアクセスのヒット予測をし、そのアクセスがミスヒットした場合のタイムチャート。

【図 10】

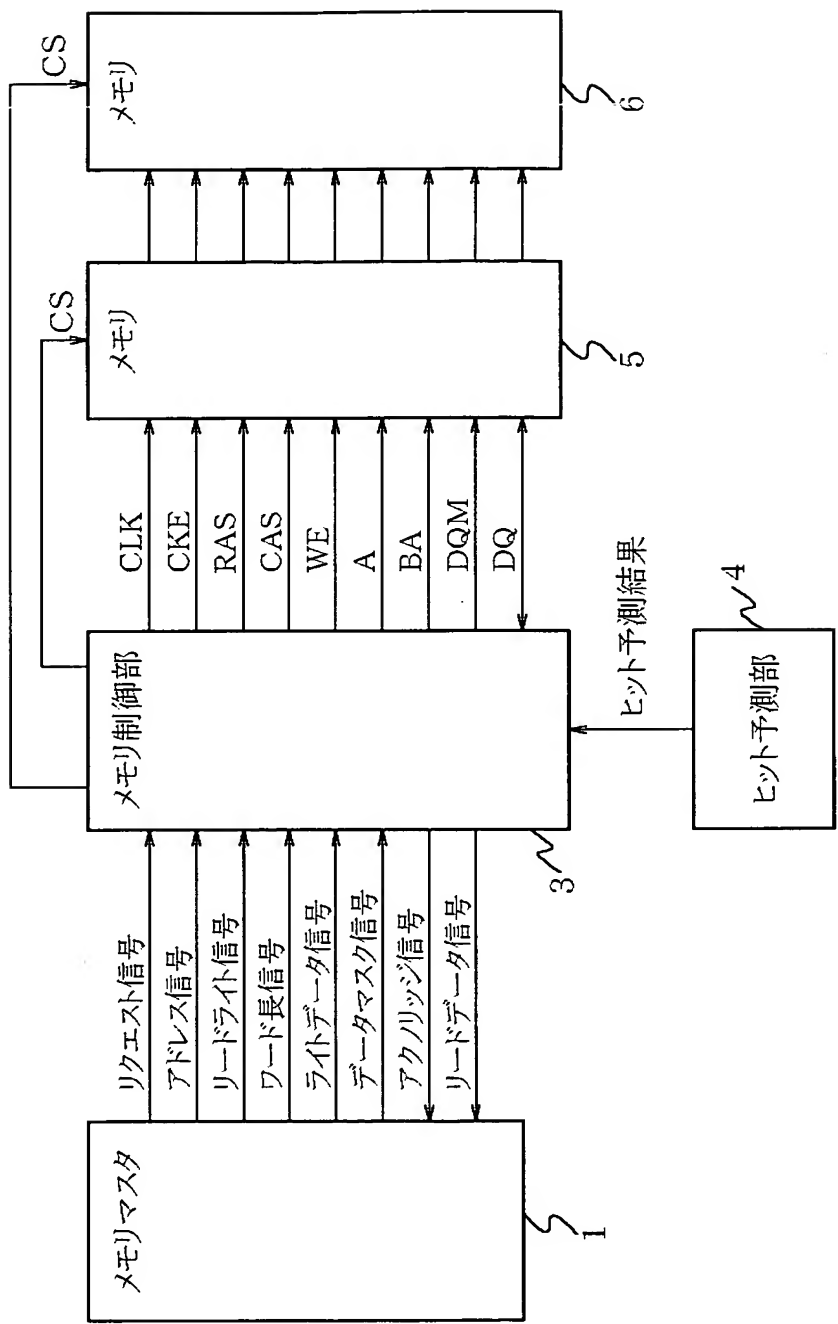
本発明のメモリアクセス制御装置がリードアクセス中に次ぎのアクセスのミスヒット予測をした場合のタイムチャート。

【符号の説明】

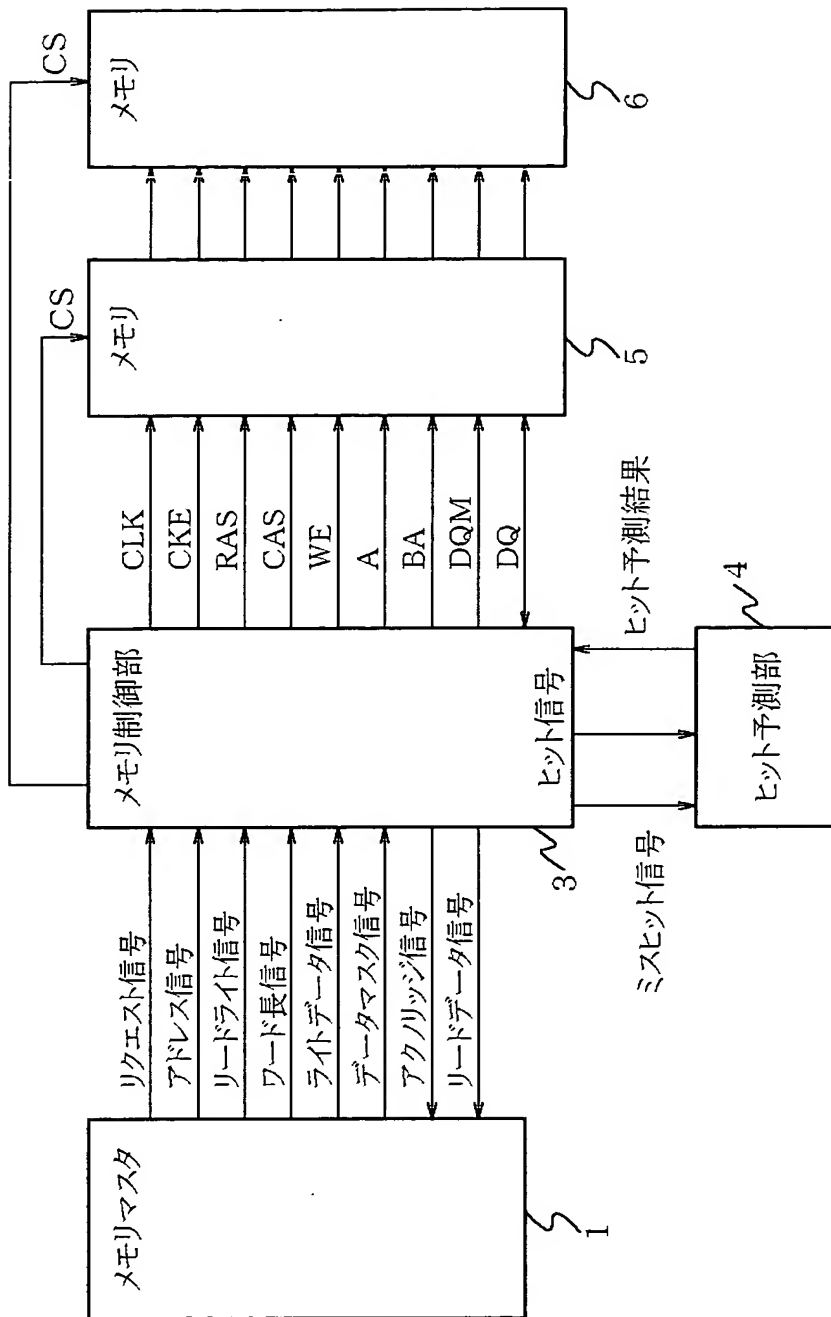
- 1、1-1～1-4 メモリマスタ
- 2 アービタ部
- 3 メモリ制御部
- 4 ヒット予測部
- 4 1 ヒット信号・ミスヒット信号入力部
- 4 2 結果保持用シフトレジスタ
- 4 3、4 4、4 5 判定部
- 4 6 判定結果出力部
- 5、6 メモリ

【書類名】 図面

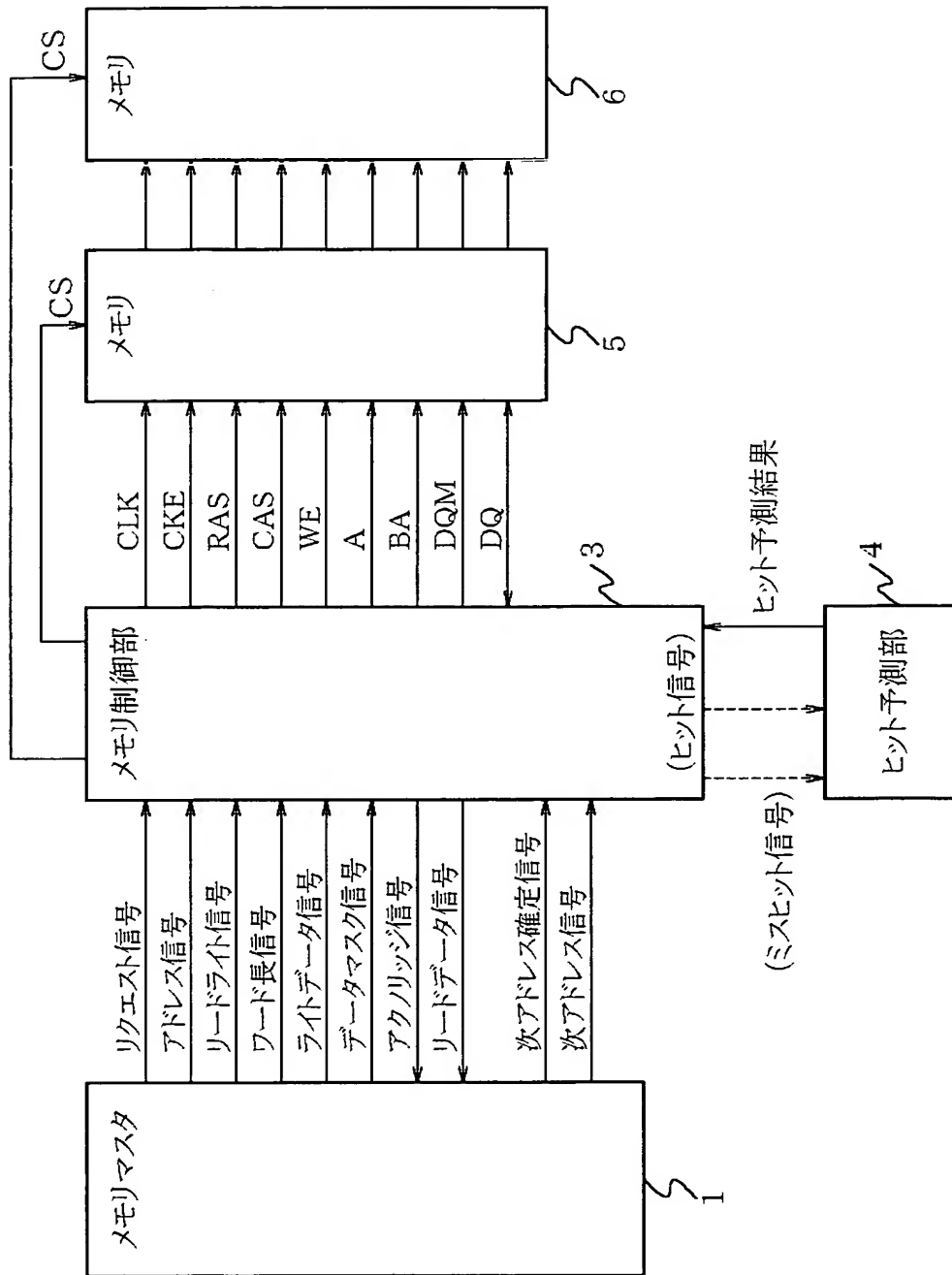
【図 1】



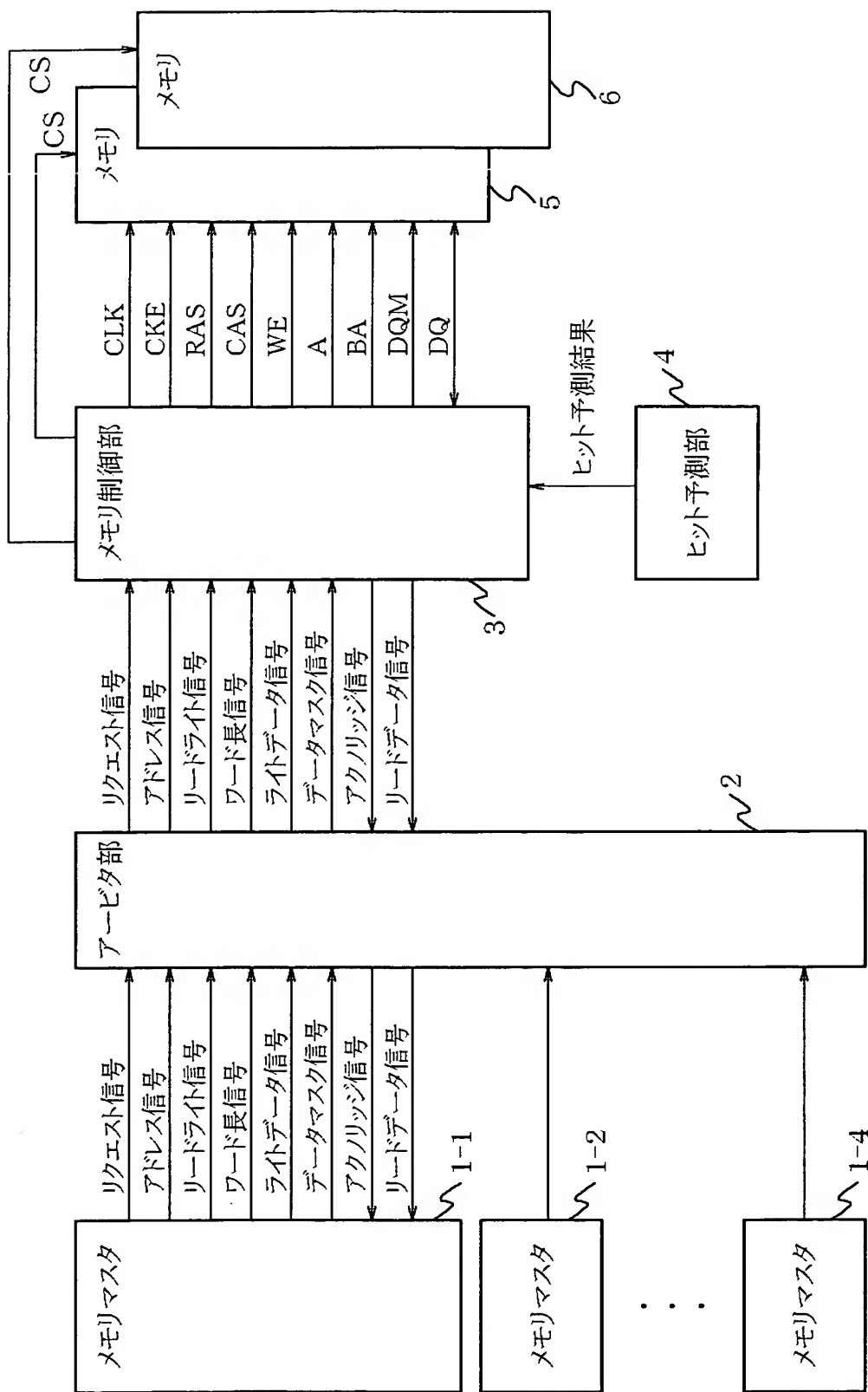
【図 2】



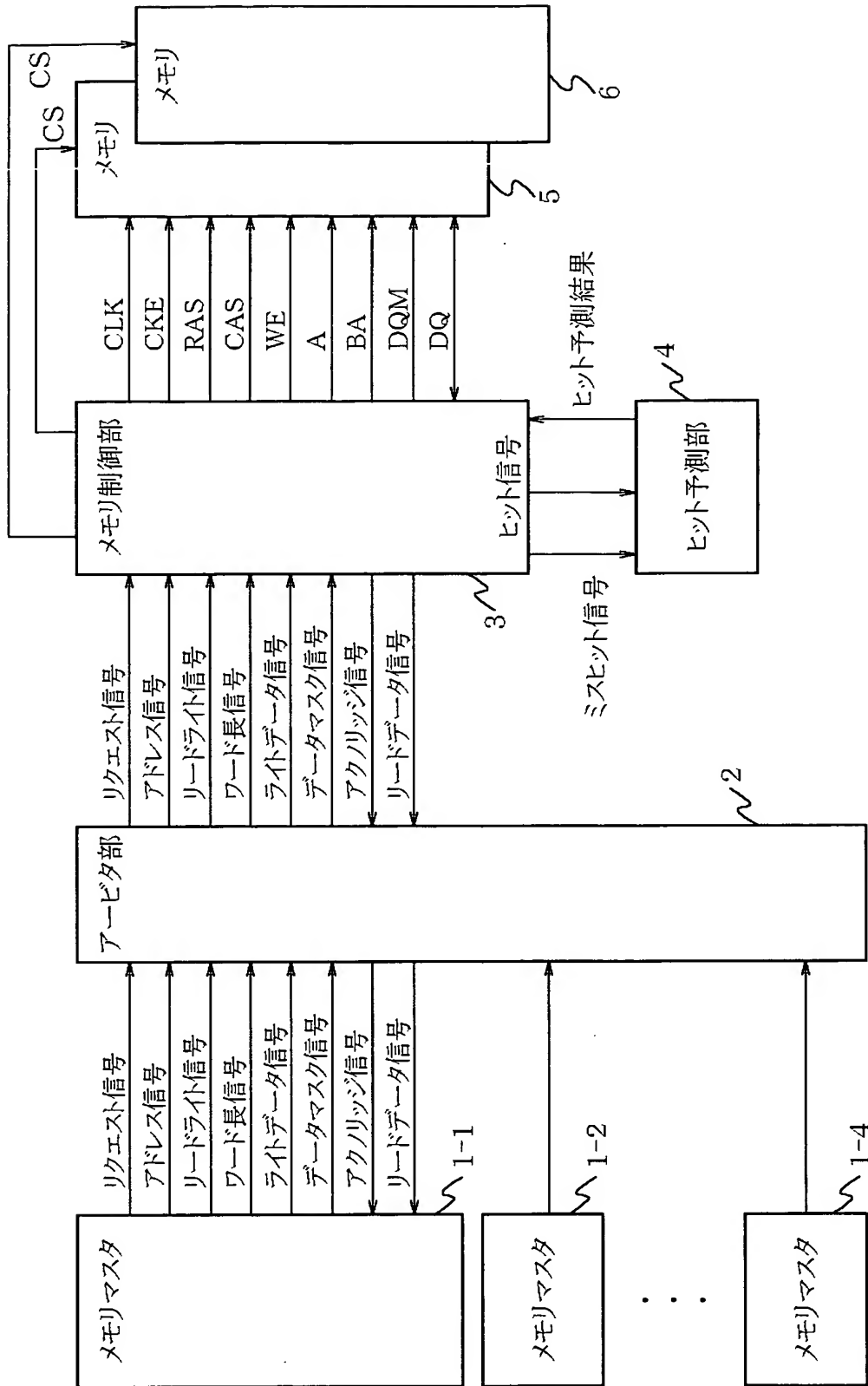
【図 3】



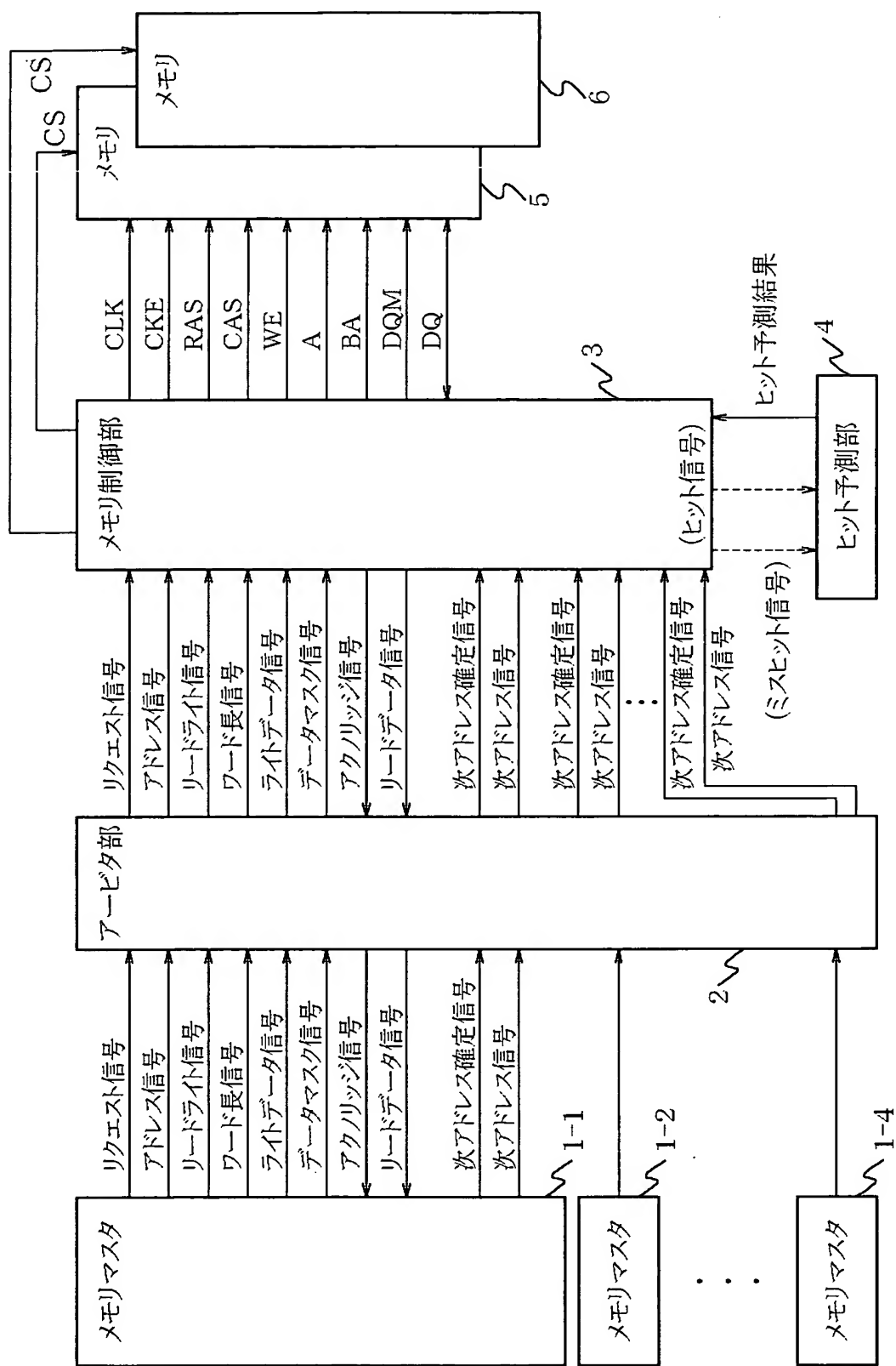
【図 4】



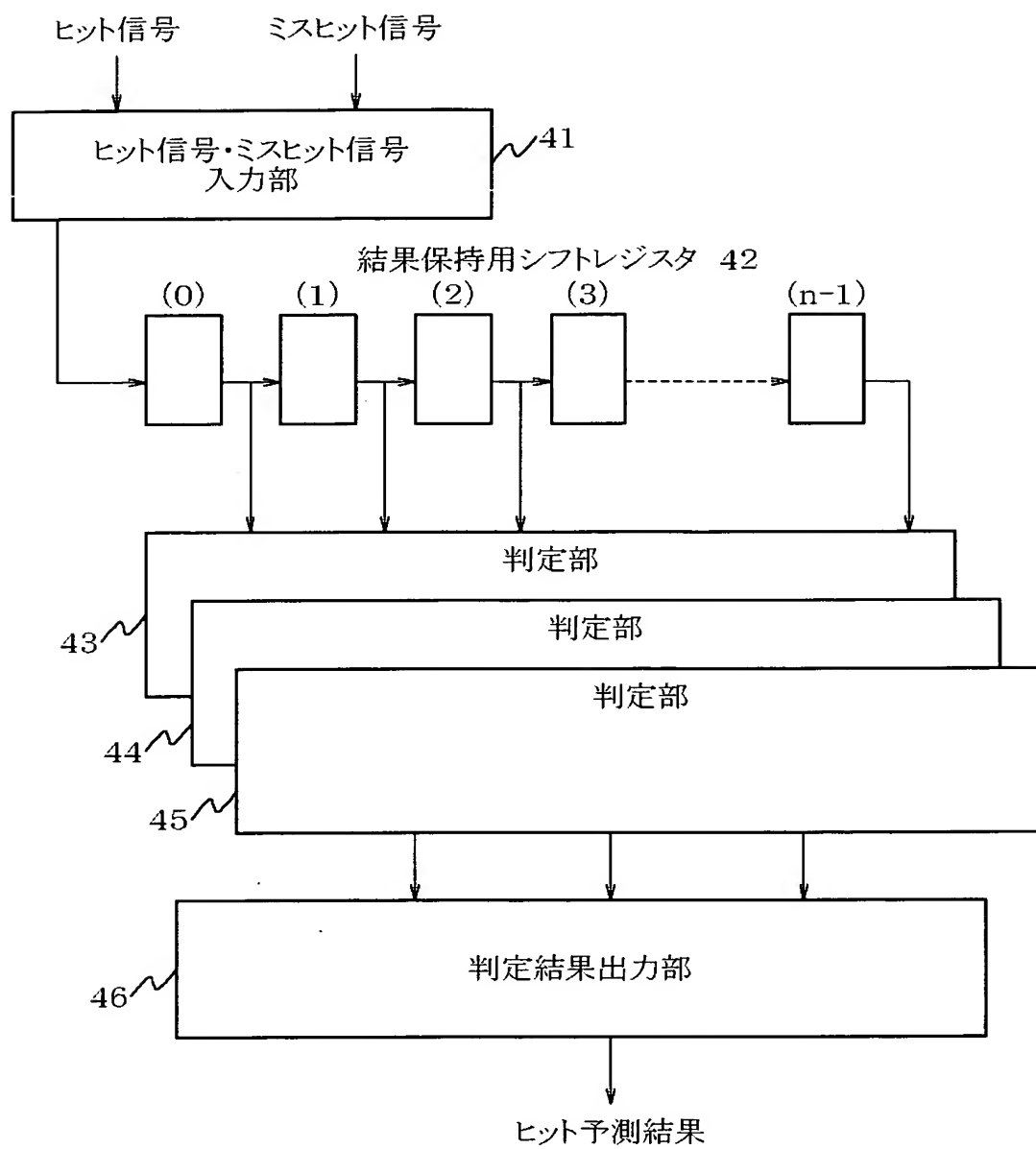
【図 5】



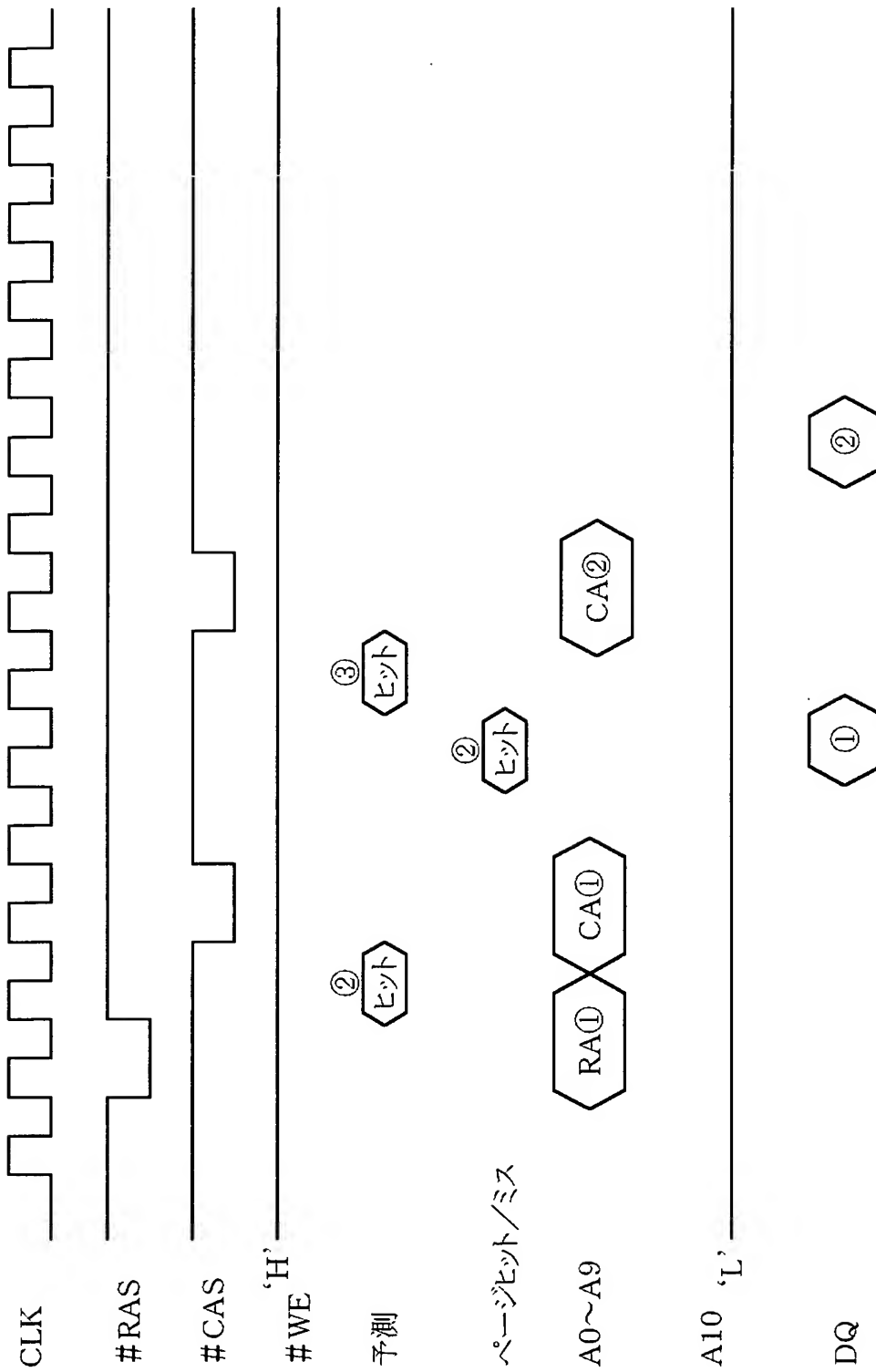
【図 6】



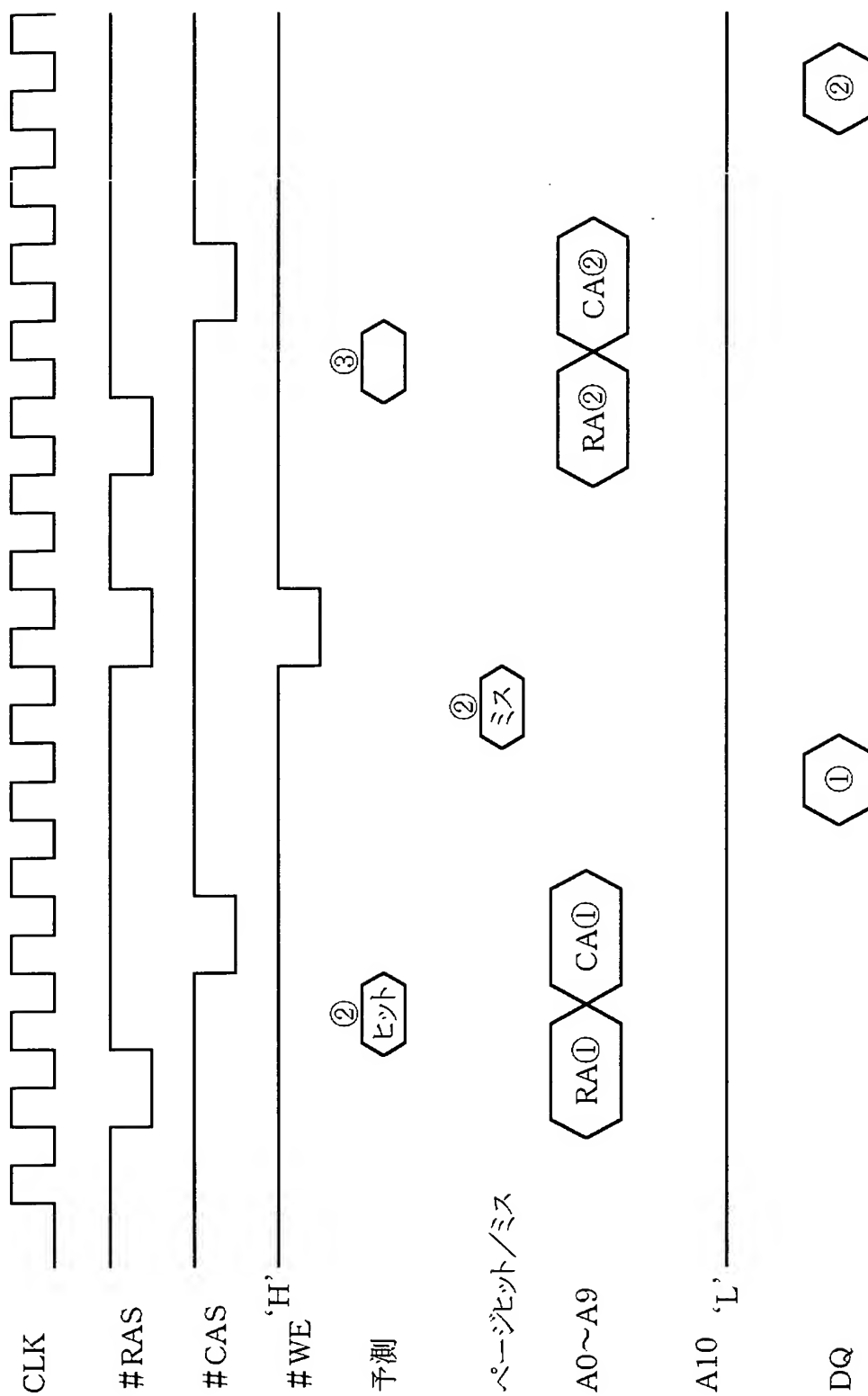
【図 7】



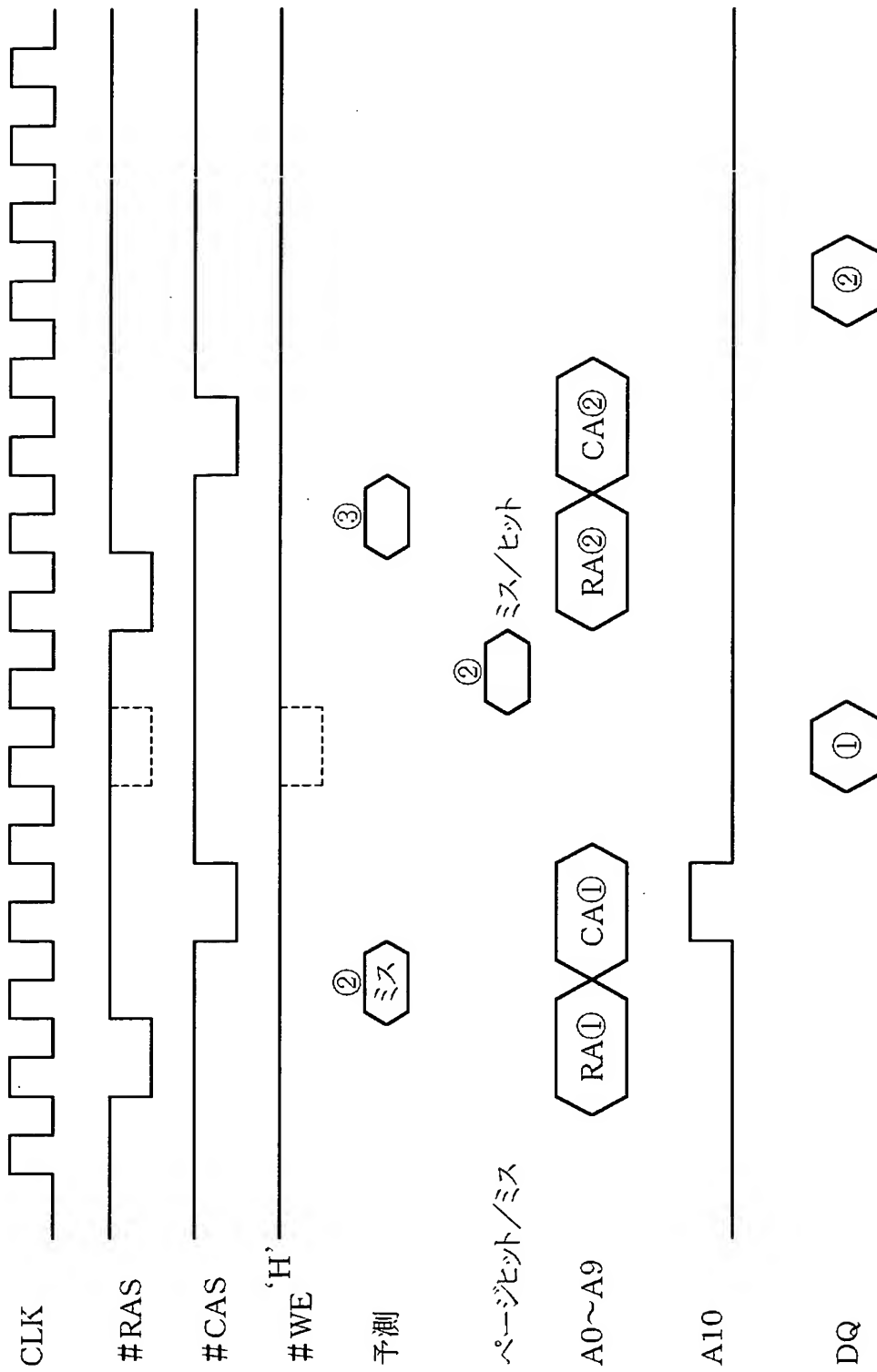
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 従来のクローズドページポリシー、オープンページポリシーの何れの方法でもアクセス性能が理論限界迄には至らず、バンクへのページヒットアクセス回数でバンククローズタイミングを変更する方式でも、アクセスしたバンクを必ずある程度オープンにしておき、ミスヒットアクセスが短間隔で連続すればアクセス効率は向上しなかった。

【解決手段】 メモリアクセスを要求するメモリマスタ1、これのアクセス情報を元にメモリ5、6の制御信号を生成するメモリ制御部3、メモリの各バンクへの次のアクセスが同一ページへのアクセスとなる（ページヒットする）／否を予測するヒット予測部4から成り、メモリ制御部3は、ヒット予測部4のヒット予測で、現在のアクセス終了時にアクセスしたバンクをクローズせずに終了し、ミスヒット予測では、アクセスしたバンクをクローズし終了する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 8 4 7 9 0
受付番号	5 0 3 0 0 4 9 0 8 0 0
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 3 月 2 7 日

< 認定情報・付加情報 >

【提出日】 平成15年 3月26日

次頁無

特願 2 0 0 3 - 0 8 4 7 9 0

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社